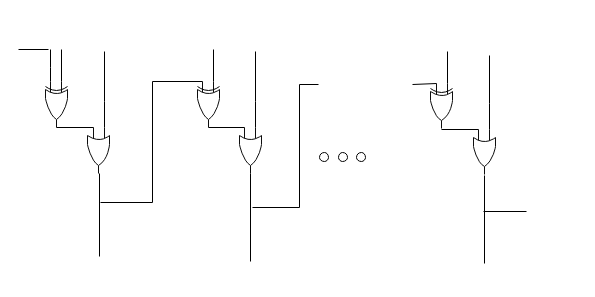
|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **Ime:** | | ***Andrija*** | | ***Broj indeksa:*** | | ***18015*** |
| **Prezime:** | | ***Tošić*** | | | | |
| **LV po redu:** | *IV* | | ***Termin:*** | | *4* | |
| **Datum i vreme početka izrade** | | | *26.05.2021. 15:03* | | | |

**Zadatak:**

Na VHDL-u opisati kolo sa slike korišćenjem generate klauzula. Koristiti isključivo for-generate klauzule, i u okviru njih instance komponenata, koje takođe treba opisati.



Za opisivanje diskretnih opsega koristiti generic konstante. Ne koristiti lokalne deklaracije u generate klauzulama.  
Kreirati testbenč sa talasnim oblicima ulaza koji demonstriraju sve osobine kola - željene i nepoželjne. Ukoliko je potrebno za testiranje kola, u testbenč ugraditi generator kloka pogodne periode.  
Pripremiti se za diskusiju ponašanja kola u svim karakterističnim situacijama.

U testbenču kreirati dve instance projektovanog kola različitih dimenzija. Jednu od instanci testirati i analizirati detaljno, a drugu pobuditi stimulusima samo kako bi se pokazala konfigurabilnost dizajna.

**Rešenje:**

1. **Kôd rešenja i testbenč**

**OR kolo:**

library ieee;

use ieee.std\_logic\_1164.all;

entity or\_kolo is

    port(

        a, b : in std\_logic;

        y : out std\_logic;

    );

end entity;

architecture or\_arch of or\_kolo is

    begin

    y <= a or b;

end architecture;

**XOR kolo:**

library ieee;

use ieee.std\_logic\_1164.all;

entity xor\_kolo is

    port(

        a, b : in std\_logic;

        y : out std\_logic;

    );

end entity;

architecture xor\_arch of xor\_kolo is

    begin

    y <= a xor b;

end architecture;

**Kolo sa slike:**

library ieee;

use ieee.std\_logic\_1164.all;

entity xor\_or is

    generic (n : integer);

    port(

        a : in std\_logic;

        b, c : in std\_logic\_vector (n-1 downto 0);

        y : out std\_logic\_vector (n-1 downto 0);

        );

end xor\_or;

architecture arch of xor\_or is

    signal y\_xor : std\_logic\_vector(n-1 downto 0); -- izlaz xor kola

    signal y\_a : std\_logic\_vector(n downto 0); -- signal koji povezuje

    -- prosli izlaz, izlaz OR kola sa prvim ulazom u sledece

    -- XOR kolo

    begin

    y\_a(0) <= a;  -- prvi ulaz se razlikuje od ostalih

    g1: for i in 0 to n-1 generate

        e1: entity work.xor\_kolo(xor\_arch)

            port map(y\_a(i), b(i), y\_xor(i));

        e2: entity work.or\_kolo(or\_arch)

            port map(y\_xor(i), c(i), y\_a(i+1));

        y(i) <= y\_a(i+1); -- izlaz kola

    end generate;

end arch;

**Testbench:**

library ieee;

use ieee.std\_logic\_1164.all;

entity tb is

    generic(

    br : integer := 4;

    br2 : integer := 2;

    );

end tb;

architecture tb\_arch of tb is

    signal a : std\_logic;

    signal b, c : std\_logic\_vector (br-1 downto 0);

    signal y : std\_logic\_vector (br-1 downto 0);

    signal a2 : std\_logic;

    signal b2, c2 : std\_logic\_vector (br2-1 downto 0);

    signal y2 : std\_logic\_vector (br2-1 downto 0);

    begin

    uut1: entity work.xor\_or(arch)

        generic map(n => br)

        port map(a, b, c, y);

        process is

        begin

            a <= '1';

            b <= "1011";

            c <= "1010";

            wait for 1 ns;

            a <= '0';

            b <= "1111";

            c <= "0100";

            wait for 1 ns;

            a <= '0';

            b <= "0000";

            c <= "0100";

            wait for 1 ns;

            a <= '0';

            b <= "0000";

            c <= "0000";

            wait for 1 ns;

            a <= '1';

            b <= "0000";

            c <= "0100";

            wait;

        end process;

        uut2: entity work.xor\_or(arch)

        generic map(n => br2)

        port map(a2, b2, c2, y2);

        process is

        begin

            a2 <= '1';

            b2 <= "11";

            c2 <= "10";

            wait for 1 ns;

            a2 <= '0';

            b2 <= "11";

            c2 <= "00";

            wait for 1 ns;

            a2 <= '0';

            b2 <= "00";

            c2 <= "00";

            wait for 1 ns;

            a2 <= '0';

            b2 <= "00";

            c2 <= "00";

            wait for 1 ns;

            a2 <= '1';

            b2 <= "00";

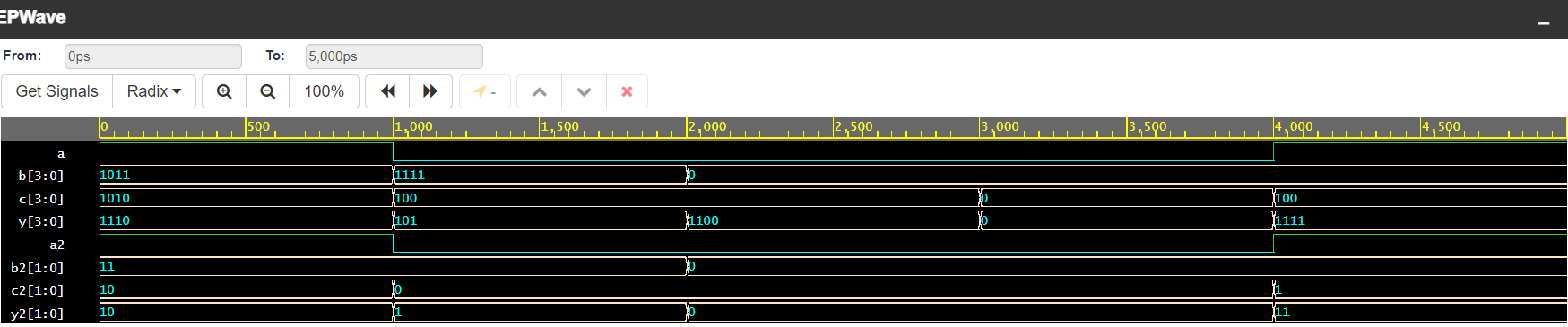
            c2 <= "01";

            wait;

        end process;

end tb\_arch;

1. ***Waveform* rezultata simulacije**



1. **Diskusija rešenja**

|  |  |  |
| --- | --- | --- |
| **Slučaj:** Prva test sekvenca | poželjno | Funkcionisanje kola je ispravno?  DA |
| **Opis** | | |
| Trenutak t = 0 ns.  Vrednost signala je na početku a = 1, b = 1011, c = 1010. Ovo uzrokuje da se dobije prva vrednost y\_xor signala, bit najmanje težine i to je a xor b(0) = 1 XOR 1 = 0.  Vrednost bita najmanje težine izlaza kola, y, postaje 0 OR C(0) = 0 OR 0 = 0. Ova vrednost se prosledjuje internim signalom arhitekture **y\_a** na ulaz sledećeg XOR kola, pa je y(1) = (0 XOR 1) OR 1 = 1,  y(2) = (1 XOR 0) OR 0 = 1,  y(3) = (1 XOR 1) OR 1) = 0 OR 1 = 1. | | |

|  |  |  |
| --- | --- | --- |
| **Slučaj:** Druga test sekvenca | poželjno | Funkcionisanje kola je ispravno?  DA |
| **Opis** | | |
| U trenucima t = 1 ns, t = 2ns, t = 3 ns i t = 4 ns dolazi do menjanja svih signala, ali kolo i daje tačne rezultate na izlazu.  Trenutak t = 1 ns.  Kad je a = 0 i b = 1111, kolo naizmenično na izlazu daje bitove, naniže ka najviše, 1, 0, 1, 0, itd. (u ovom slučaju bude y = 0101, ali se iz nekog razloga ne prikazuju vodeće nule u simulatoru). | | |

|  |  |  |
| --- | --- | --- |
| **Slučaj:** Treća test sekvenca | poželjno | Funkcionisanje kola je ispravno?  DA |
| **Opis** | | |
| Trenutak t = 2 ns.  Pošto su a = 0, b = 0000 i c = 0100, dva bita najmanje težine izlaza y su 0 zato što 0 XOR 0 OR 0 uvek daje 0, i to se menja čim se naidje na c(2) = 1, jer u tom trenutku bude OR 1 i y(2) = 1. Najviši bit u ovom testu je 1, zbog 1 iz prethodnog rezultata XOR 0. | | |

|  |  |  |
| --- | --- | --- |
| **Slučaj:** Četvrta test sekvenca | poželjno | Funkcionisanje kola je ispravno?  DA |
| **Opis** | | |
| Trenutak t = 3 ns.  Svi signali su jednaki i to jednaki nuli pa je i na izlazu nula. | | |

|  |  |  |
| --- | --- | --- |
| **Slučaj:** Peta i poslednja test sekvenca | poželjno | Funkcionisanje kola je ispravno?  DA |
| **Opis** | | |
| Trenutak t = 4 ns.  Na isti način kao do sad se formira izlaz y. | | |

|  |  |  |
| --- | --- | --- |
| **Slučaj:** Poseban proces zadužen za drugu instancu istog kola | nepoželjno | Funkcionisanje kola je ispravno?  DA |
| **Opis** | | |
| Pošto nisam bio siguran kako da odvojim proces da radi nekako posebno za obe instance, napravio sam kopiju signala za drugu instancu i dodao još jedan generic **br2** u generic listi, pa je druga instanca drugih dimenzija.  Kad bih pokušao samo da instanciram na isti način (bez posebnog procesa, posebnih signala i generic konstanti) i odradim generic map(n => 2), kompajler naravno prijavljuje grešku zato što se proces odnosi i na tu instancu jer se koriste isti signali, koji su dužine 4, a ne 2.  Oba kola rade ovako, ali nisam zadovoljan rešenjem koje koristi posebne signale, konstante i procese. | | |

1. ***Samoevaluacija***

*Na skali 0-5 (0 - „nikako“, „nimalo“; 5 - „potpuno“), u kom stepenu smatrate da ste:*

|  |  |  |
| --- | --- | --- |
| **a)** | ***došli pripremljeni na vežbu*** | ***4*** |
| **b)** | ***razumeli zadatak*** | ***5*** |
| **c)** | ***ispunili zahteve zadatka*** | ***4*** |
| **d)** | ***pruočili i opisali funkcionisanje svog rešenja*** | ***5*** |
| **e)** | ***Imali dovoljno vremena za vežbu*** | ***5*** |
| **f)** | ***unapredili svoje znanje u toku vežbe*** | ***4*** |
|  | | |

Izjava

*Izjavljujem da sam lično kreirao/la rešenje zadatka i ovaj izveštaj.*

*U toku vežbe, za sastavljanje rešenja i izveštaja NISAM dobio/la pomoć od drugih.*

***NAPOMENE:***

*Korišćenje materijala koji je obavljen za kurs i informacija objavljenih na forumu ili kanalima kursa ne treba da se navodi u ovoj izjavi.*

*Viber grupe, grupe na socijalnim mrežama i sl. nakon čijeg korišćenja ne može u izjavi da se identifikuje izvor pomoći, nisu preporučljive.*

*Uočene sličnosti u rešenjima i izveštajima koje se ne mogu povezati sa kontaktima prijavljenim u izjavi će biti tretirane kao neakademsko ponašanje i sankcionisane izuzimanjem iz ocenjivanja svih radova kod kojih je sličnost uočena.*

***Pre predaje, sačuvati dokument sa imenom po obrascu: <brInd>\_<LVbroj> Npr. 12345\_2\_3. docx – za studenta sa brojem indeksa 12345, koji radi LV2.***